

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-140033

(P 2 0 0 2 - 1 4 0 0 3 3 A)

(43) 公開日 平成14年5月17日(2002.5.17)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09G 3/28		G09G 3/20	622 C 5C058
3/20	622		622 M 5C080
	623		623 C
	624		624 M
		H04N 5/66	101 B
審査請求 未請求 請求項の数7 O L (全13頁) 最終頁に続く			

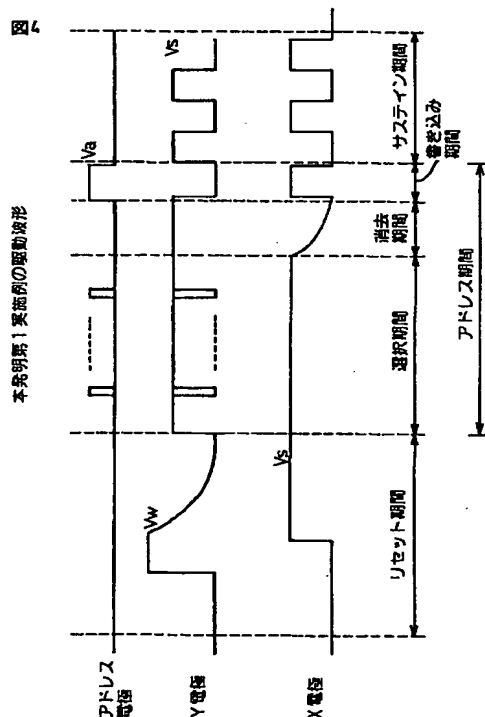
(21) 出願番号	特願2000-336248 (P 2000-336248)	(71) 出願人	599132708 富士通日立プラズマディスプレイ株式会社 神奈川県川崎市高津区坂戸3丁目2番1号
(22) 出願日	平成12年11月2日(2000.11.2)	(72) 発明者	瀬戸口 典明 宮崎県東諸県郡国富町田尻1815 九州エフ エイチピー株式会社内
		(72) 発明者	岸 智勝 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立プラズマディスプレイ株式会 社内
		(74) 代理人	100077517 弁理士 石田 敬 (外4名)
		最終頁に続く	

(54) 【発明の名称】 プラズマディスプレイの駆動方法

(57) 【要約】

【課題】 短時間で確実にアドレス動作が行えるプラズマディスプレイの駆動方法の実現。

【解決手段】 表示セルを均一な状態にするリセット動作と、リセット動作の後表示セルを表示データに応じた状態に設定するアドレス動作と、アドレス動作で設定された表示セルの状態に応じて、点灯セルを選択的に発光させるサステイン動作とを備えるプラズマディスプレイの駆動方法において、リセット動作は、表示セルに均一な壁電荷を残し、アドレス動作は、非点灯セルを選択する選択動作と、選択動作で選択した非点灯セルの壁電荷を消去する消去動作と、点灯セルにサステイン動作を行うのに必要な壁電荷を形成する書込み動作とを備える。



【特許請求の範囲】

【請求項 1】 表示セルを初期化するリセット動作と、
該リセット動作の後、前記表示セルを表示データに応じた状態に設定するアドレス動作と、
該アドレス動作で設定された前記表示セルの状態に応じて、点灯セルを選択的に発光させるサステイン動作とを備えるプラズマディスプレイの駆動方法において、
前記アドレス動作は、
非点灯セルを選択する選択動作と、
該選択動作で選択した非点灯セルの壁電荷を消去する消去動作と、
点灯セルに、前記サステイン動作を行うのに必要な壁電荷を形成する書き込み動作とを備えることを特徴とするプラズマディスプレイの駆動方法。

【請求項 2】 請求項 1 に記載のプラズマディスプレイの駆動方法であって、当該プラズマディスプレイは、交互に隣接して配置した第 1 の方向に延びる第 1 の電極と第 2 の電極と、前記第 1 の方向に垂直な第 2 の方向に延びる第 3 の電極とを備え、
前記選択動作は、前記第 2 の電極にスキャンパルスを加加するのと同期して前記第 3 の電極に前記非点灯セルを選択するアドレス信号を加加し、前記第 2 の電極と前記第 3 の電極の間で放電を発生させることにより行われ、
前記第 1 の電極と前記第 2 の電極間での放電に実質的に移行する前に終了するプラズマディスプレイの駆動方法。

【請求項 3】 請求項 2 に記載のプラズマディスプレイの駆動方法であって、前記消去動作は、前記第 1 の電極と前記第 2 の電極に印加する電圧をゆるやかに変化させるプラズマディスプレイの駆動方法。

【請求項 4】 請求項 1 に記載のプラズマディスプレイの駆動方法であって、当該プラズマディスプレイは、交互に隣接して配置した第 1 の方向に延びる第 1 の電極と第 2 の電極と、前記第 1 の方向に垂直な第 2 の方向に延びる第 3 の電極とを備え、
前記書き込み動作は、少なくとも前記第 1 の電極と前記第 2 の電極間に、前記リセット動作で残された壁電荷により選択的に放電する電圧を加加して放電を発生させ、
前記サステイン動作を行うのに必要な壁電荷を形成するプラズマディスプレイの駆動方法。

【請求項 5】 請求項 1 に記載のプラズマディスプレイの駆動方法であって、当該プラズマディスプレイは、交互に隣接して配置した第 1 の方向に延びる第 1 の電極と第 2 の電極と、前記第 1 の方向に垂直な第 2 の方向に延びる第 3 の電極とを備え、
前記第 2 の電極の一方に隣接する前記第 1 の電極とで第 1 の表示ラインを形成し、前記第 2 の電極の他方に隣接する前記第 1 の電極とで第 2 の表示ラインを形成し、

1 画面の表示は、前記第 1 の表示ラインでの表示を行う奇数フィールドと、前記第 2 の表示ラインでの表示を行

う偶数フィールドとで構成され、

前記奇数フィールドでの前記書き込み動作は、前記第 1 の表示ラインを形成する前記第 1 の電極と前記第 2 の電極間で、書き込み放電を発生する極性の電圧を加加するが、前記第 2 の表示ラインを形成する前記第 1 の電極と前記第 2 の電極間には書き込み放電を発生する極性の電圧を加加せず、

前記偶数フィールドでの前記書き込み動作は、前記第 2 の表示ラインを形成する前記第 1 の電極と前記第 2 の電極間で、書き込み放電を発生する極性の電圧を加加するが、前記第 1 の表示ラインを形成する前記第 1 の電極と前記第 2 の電極間には書き込み放電を発生する極性の電圧を加加しないプラズマディスプレイの駆動方法。

【請求項 6】 請求項 5 に記載のプラズマディスプレイの駆動方法であって、前記書き込み動作は、奇数番目の前記第 1 又は第 2 の表示ラインを形成する前記第 1 の電極と前記第 2 の電極間に電圧を加加する期間と、偶数番目の前記第 1 又は第 2 の表示ラインを形成する前記第 1 の電極と前記第 2 の電極間に電圧を加加する期間とを備えるプラズマディスプレイの駆動方法。

【請求項 7】 表示データに応じて選択的に放電を行う選択動作を表示ラインごとに順次行う選択期間と、
点灯セルの各々において、サステイン動作を行うのに必要な壁電荷を一括して形成する書き込み期間と、
点灯セルの各々において、サステイン放電を繰り返し行うサステイン期間とを含むことを特徴とするプラズマディスプレイの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プラズマディスプレイの駆動方法に関し、特にアドレス動作の期間を短縮する技術に関する。

【0002】

【従来の技術】 プラズマディスプレイ (PD) 装置は、自己発光型であるので視認性が高く、薄型で大画面表示及び高速表示が可能であることから、CRT に替わる表示装置として注目されている。図 1 は、PD 装置の基本構成を示す図である。

【0003】 図 1 に示すように、プラズマディスプレイパネル (PDP) 10 では、X 電極 (第 1 の電極: サステイン電極) X1、X2、…と Y 電極 (第 2 の電極: スキャン電極) Y1、Y2、…とを隣接して交互に配置し、X 及び Y 電極に垂直な方向にアドレス電極 (第 3 の電極) A1、A2、…を配置する。X 電極と Y 電極の組み、すなわち、X1 と Y1、X2 と Y2、…の間に表示ラインが形成され、各表示ラインとアドレス電極が交差する部分に表示セル (以下、単にセルと称する。) が形成される。

【0004】 X 電極は共通に X サステイン回路 14 に接続され、同じ駆動信号が印加される。Y 電極はそれぞれ

10

20

30

40

50

Y スキャンドライバ 1 2 に接続され、後述するアドレス動作時には順次スキャンパルスが印加されるが、それ以外の時には Y サステイン回路 1 3 により同じ駆動信号が印加される。アドレス電極は、アドレスドライバ 1 1 に接続され、アドレス動作時にはスキャンパルスに同期して、点灯セルと非点灯セルを選択するアドレス信号が印加されるが、それ以外の時には同じ駆動信号が印加される。制御回路 1 5 は、上記の各部を制御する信号を出力する。

【0 0 0 5】図 2 は、PD 装置における駆動シーケンスを説明するためのフレームの構成を示す図である。プラズマディスプレイの放電は、オン又はオフの 2 値の状態しかとれないため、発光の回数を変えて階調を表現する。そのため、図 2 に示すように、1 画面の表示に相当する 1 フレームを、複数個のサブフィールドに分割する。各サブフィールドは、リセット期間、アドレス期間、維持放電期間（サステイン期間）より構成される。リセット期間は、前のサブフィールドでの点灯状態にかかわらず、すべてのセルを均一な状態、例えば、壁電荷を消去した状態や壁電荷が一様に形成されている状態にするための動作が行われる。アドレス期間は、表示データに応じてセルのオンやオフの状態を決定するために、選択的な放電（アドレス放電）が行われ、オン状態のセルに次のサステイン動作で放電して発光するのに必要な壁電荷が形成される。サステイン期間は、アドレス期間にオン状態に設定されたセルで繰り返し放電を行わせ、発光させる。サステイン期間の長さ、つまり発光回数はそれぞれのサブフィールドで異なっており、例えば、各サブフィールドの発光回数の比率を、1 : 2 : 4 : 8 … という具合に設定し、各セル毎に階調に応じて発光させるサブフィールドを組み合わせれば、階調表示が行える。

【0 0 0 6】図 3 は、プラズマディスプレイパネルの従来の駆動方法の例を示す波形図である。図示のように、リセット期間では、X 電極に放電開始電圧以上の高い電圧 V_w 、例えば 3 0 0 V のパルスを印加する。このパルスの印加によって、前のサブフィールドの点灯状態にかかわらず、すべてのセルで放電が発生し、壁電荷が形成される。次にこのパルスを取り去ると、壁電荷自体の電圧によって再度放電を開始するが、電極間には電位差がないため、放電によって発生した空間電荷は中和して壁電荷のない均一な状態が実現できる。なお、ほとんどの電荷は中和するが、多少のイオンや準安定原子は放電空間内に留まる。次のアドレス放電でこの残った電荷を利用して、アドレス放電を確実に発生させるための種火として作用させることも行われている。これは、一般的に種火効果又はブライミング効果と呼ばれている。アドレス期間においては、Y 電極にスキャンパルスを順次印加し、その表示ラインの点灯させるセルのアドレス電極にはアドレスパルス（アドレス信号）を印加して放電を行

う。この放電は X 電極側にも広がり、X 電極と Y 電極間には壁電荷が形成される。このスキャンをすべての表示ラインに渡って実行する。次に、サステイン期間において、X 電極と Y 電極に、電圧 V_s （約 1 7 0 V）のサステインパルスを繰り返し印加する。サステインパルスが印加されると、アドレス期間に壁電荷が形成されたセルは、サステインパルスの電圧に壁電荷の電圧が重畳されて放電開始電圧以上となり放電を開始する。アドレス期間に壁電荷が形成されなかったセルは放電しない。

【0 0 0 7】以上が、プラズマディスプレイ装置の基本的な構成と動作であるが、各種の変形例が提案されている。例えば、図 2 のフレーム構成で、同じ発光回数のサブフィールドを複数個設けて、動画表示がスムーズになるようにすることが行われている。また、1 フレームの最初のサブフィールドでのみリセット動作を行い、それ以降のサブフィールドではリセット動作を行わない場合もある。更に、全セルでリセットを行わず、前のサブフィールドで点灯したセルのみリセットを行う場合もある。更に、リセット動作で均一な壁電荷を残し、アドレス動作では非点灯セルを選択して壁電荷を消去する消去アドレス法が行われる場合もある。更に、リセットパルスを取り去った後の X 電極と Y 電極間に電位差を与えることにより、所望の電荷を残して、アドレス動作時に利用する場合もある。更に、本出願人は、特開平 6 - 3 1 4 0 7 8 号公報で、リセットパルスの立ち上がりを電圧が緩やかに変化する鈍波とすることで、全面で均一な電荷を残す構成を開示し、更に特開 2 0 0 0 - 7 5 8 3 5 号公報で、リセットパルスの立ち上がりとしち下がり両方を鈍波とする構成を開示している。更に、本出願人は、特許第 2 8 0 1 8 9 3 号で、X 電極と Y 電極の間のすべてのスリット、すなわち、各 Y 電極と両側の X 電極との間で表示ラインを形成することにより、X 電極と Y 電極の本数を変えずに表示ライン数を 2 倍にする ALIS 方式と呼ばれるプラズマディスプレイ装置を開示している。

【0 0 0 8】以上のように、プラズマディスプレイ装置には各種の変形例があるが、本願発明はそのいずれにも適用可能である。プラズマディスプレイ装置は、CRT を凌ぐ高画質が要求されている。高画質の要素としては、高精細、高階調性、高輝度化、高コントラストなどがある。高精細にするには、画素ピッチを細かくして表示ライン数及び表示セル数を増加させる必要があり、上記の ALIS 方式は高精細化を低コストで実現する構成である。高コントラストにするには、画像に関係しないリセットパルスによる放電の強度や回数を減少させる。

【0 0 0 9】高階調にするには、フレーム内のサブフィールドの個数を増加させて、表現できる階調数を増加させる必要があるが、これにはリセット動作やアドレス動作に要する時間を短縮するか、サステイン放電の周期を短縮する必要がある。また、高輝度にするには、1 回の

サステイン放電の強度を増加させることでも可能であるが、これは蛍光体の劣化を招くという問題があり、他の方法としては、フレーム内のサステイン放電の回数を増加させる方法がある。サステイン放電の回数を増加させるには、上記のように、サステイン放電の周期を短縮するか、リセット動作やアドレス動作に要する時間を短縮してサステイン期間の割合を増加させるかである。しかし、サステイン動作周期の短縮は、現状の構成ではサステイン放電を安定して発生させる上で限界がある。そこで、リセット動作やアドレス動作に要する時間を短縮して、高階調化及び高輝度化することが考えられる。

【0010】本発明は、アドレス動作に要する時間を短縮する駆動方法に関し、これにより、フレーム内のサブフィールドの個数を増加させて高階調したり、サステイン期間の割合を増加させて高輝度化を図る技術である。

【0011】

【発明が解決しようとする課題】図3を参照して説明した従来の駆動方法では、リセット動作により壁電荷のない均一な状態にした後、Y電極に順次スキャンパルス印加しながらアドレス電極にアドレス信号を印加して、点灯セルでトリガ放電と面放電を発生させ、次のサステイン動作で発光させるのに必要な壁電荷を形成していた。このため、1表示ライン当り2 μ s程度の時間が必要であった。もし500ラインのパネルであれば1回のアドレス動作に1msを要し、1000ラインのパネルであれば1回のアドレス動作に2msを要することになり、一連のシーケンスの中で、アドレス動作に要する時間が大きな割合を占めており、これを低減することが求められている。

【0012】前述のように、リセット動作で壁電荷が均一に残った状態にし、アドレス動作で非点灯セルの壁電荷を消去する消去アドレス法が行われているが、この方法であれば、壁電荷を形成する必要がないので、アドレス動作に要する時間を短縮できる。しかし、この消去アドレス法は、細い幅のパルスを印加するため、動作が不安定であり、動作マージンが非常に小さく、安定した駆動が難しいという問題がある。

【0013】本発明は、このような問題を解決するために発明されたものであり、短時間で確実にアドレス動作が行えるプラズマディスプレイの駆動方法の実現を目的とする。

【0014】

【課題を解決するための手段】上記目的を実現するため、本発明のプラズマディスプレイの駆動方法は、リセット動作で表示セルに均一な壁電荷を残すようにし、その後行うアドレス動作は、非点灯セルを選択する選択動作と、選択動作で選択した非点灯セルの壁電荷を消去する消去動作と、点灯セルにサステイン動作を行うのに必要な壁電荷を形成する書込み動作とを備えることを特徴とする。

【0015】選択動作では、Y電極（スキャン電極）に順次スキャンパルスを印加しながらアドレス電極にアドレス信号を印加して非点灯セルで放電を発生させる。この動作は、従来の消去アドレス法に類似しており、壁電荷を形成する必要がないので、1表示ライン当りに要する時間は比較的短く、全面で行っても短時間に行える。次の消去動作では、選択動作で選択された非点灯セルの壁電荷を更に確実に消去する。これには、例えば、緩やかに変化する鈍波波形が印加されるが、全面同時に行えるので、時間は短い。消去動作が終了した時点では、点灯セルにはリセット動作終了後の壁電荷が残っており、非点灯セルの壁電荷は消去されているので、点灯セルでのみ放電が発生するようにX電極とY電極間にパルスを印加し、次のサステイン動作を行うのに必要な壁電荷を形成する。この書込み動作も全面同時に行えるので、時間は短い。書込み動作により、点灯セルにはサステインに必要な壁電荷が形成され、非点灯セルには壁電荷がない状態になり、サステイン動作を表示データに応じて確実に行うことが可能になる。

【0016】本発明のプラズマディスプレイの駆動方法は、言い換えれば、従来の消去アドレス法を行った後、次のサステイン動作を安定して行うのに必要な壁電荷を形成するための消去動作と書込み動作を付加した点が特徴である。本発明を上記のALIS方式のプラズマディスプレイに適用する場合には、選択動作と消去動作は通常型のプラズマディスプレイと同じに行えばよいが、書込み動作は若干異なる。奇数フィールドでの書込み動作では、奇数フィールドの表示ラインを形成するX電極（第1の電極：サステイン電極）とY電極（第2の電極：スキャン電極）間に電圧を印加するが、偶数フィールドの表示ラインを形成するX電極とY電極間には電圧を印加しない。偶数フィールドでの書込み動作では、偶数フィールドの表示ラインを形成するX電極とY電極間に電圧を印加するが、奇数フィールドの表示ラインを形成するX電極とY電極間には電圧を印加しない。更に、奇数フィールドの表示ラインにこのような書込み動作を行う場合、隣接する奇数フィールドの表示ラインでは、逆極性の電圧を印加する必要がある、一方の極性の電圧を印加すると1つ起きに書込み放電が発生する。そこで、一方の極性の電圧を印加した後、逆極性の電圧を印加して奇数フィールドの表示ラインの残りのラインでも書込み放電を発生させる。偶数フィールドの表示ラインでこのような書込み動作を行う場合も同様である。

【0017】

【発明の実施の形態】以下、本発明の実施例を説明する。本発明の第1実施例は、図1の従来型のプラズマディスプレイ装置に本発明を適用した例である。図4は、第1実施例の駆動波形を示す図であり、1サブフィールドにおける駆動波形を示す。図5は、第1実施例における各電極の電荷の変化を示す図である。図5を参照しな

がら、図 4 の駆動波形による動作を説明する。

【0018】図 4 に示すように、リセット期間には、Y 電極に大きな電圧 V_w のリセットパルスが印加される。この時、Y 電極とアドレス電極には 0 V (グランドレベル) が印加される。リセットパルスを印加することによりすべてのセルで放電が発生し、壁電荷が形成される。次に鈍波を印加する。ここでは壁電荷は完全に中和せず、図 5 の (A) と (B) に示すように、ある程度の壁電荷が均一に残る。ここでは、X 電極上には正の電荷が、Y 電極上には負の電荷が残る。

【0019】アドレス期間は、選択期間と、消去期間と、書き込み期間を有する。選択期間には、X 電極と Y 電極に電圧 V_s が印加され、続いて Y 電極に 0 V になるようなスキャンパルスが順次印加され、これに同期して非点灯セルのアドレス電極には電圧 V_a のアドレス信号が印加される。非点灯セルでは、Y 電極とアドレス電極間に印加される電圧に、壁電荷による電圧が重畳されて放電が発生し、Y 電極上には正の電荷が蓄積され、アドレス電極上には負の電荷が蓄積される。一方、点灯セルでは、電圧が印加されないので放電は発生せず、リセット動作終了時と同じ壁電荷が存在する。以上の動作を、すべての Y 電極に順次スキャンパルスを印加して行い、全面の非点灯セルで、Y 電極上には正の電荷を、アドレス電極上には負の電荷を蓄積する。選択期間においては、面放電により壁電荷を形成する必要はないので、スキャンパルスとそれに対応するアドレス信号のパルスは短くてよく、選択期間に要する時間は、面放電により壁電荷を形成する場合に比べて大幅に短縮できる。また、放電後に非点灯セルに残留する壁電荷の量は、次の消去放電で完全に消去されるので、あまり正確である必要はない。なお、非点灯セルの Y 電極に隣接する X 電極は電圧 V_s が印加されるので、放電時に正の電荷が Y 電極側に移動し、負の電荷が蓄積される。しかし、選択期間における放電は、Y 電極とアドレス電極間の放電で Y 電極上に壁電荷 (ここでは正電荷) を形成することが目的であり、X 電極上の電荷は問題にならない。

【0020】消去期間では、Y 電極に電圧 V_s を印加した状態で、X 電極に電圧 V_s から緩やかに低下する鈍波パルスを印加する。非点灯セルでは、この鈍波パルスに X 電極と Y 電極に蓄積された壁電荷による電圧が重畳されて放電し、壁電荷が消去される。なお、前述の特開平 6-314078 号公報に開示されているように、鈍波パルスを印加することにより、たとえ非点灯セルの X 電極と Y 電極に蓄積された壁電荷の量がばらついても、確実に放電を発生させることが可能であり、非点灯セルの壁電荷は確実に消去される。一方、点灯セルでは、壁電荷による電圧は逆極性なので放電は発生せず、リセット動作終了時と同じ壁電荷が存在する。以上のようにして、消去動作が終了すると、点灯セルではリセット動作終了時と同じ壁電荷が保存され、非点灯セルでは壁電荷

が消去された状態になる。消去期間では鈍波パルスを印加するが、全面に同時に印加するので、消去期間は、選択期間に比べて非常に短い。

【0021】書き込み期間では、X 電極に電圧 V_s を印加し、Y 電極に 0 V を印加し、アドレス電極に電圧 V_a を印加する。これにより、点灯セルでは残留しているリセット動作終了時と同じ壁電荷による電圧が重畳されて放電し、サステイン動作に必要な壁電荷が形成される。一方、非点灯セルでは壁電荷がないので放電しない。書き込み期間に各電極に印加するパルスは、全面に同時に印加するので、書き込み期間は、選択期間に比べて非常に短い。

【0022】以上の選択動作と消去動作と書き込み動作によりアドレス動作が終了する。上記のように、消去期間と書き込み期間は選択期間に比べて非常に短いので、それに要する時間は無視できる。また、消去期間に印加されるスキャンパルスとアドレス信号は、幅の狭いパルスでよく、面放電で壁電荷を形成する場合に比べて、短い時間で終了することが可能である。

【0023】また、消去期間に印加されるスキャンパルスとアドレス信号は幅の狭いパルスのため、非点灯セルに形成される壁電荷の量はばらつきが大きいのが、消去期間に鈍波パルスを印加するため、確実に放電を発生させることが可能であり、非点灯セルの壁電荷は確実に消去される。更に、サステイン動作に必要な壁電荷は書き込み期間に確実に形成されるので、安定した動作が可能である。

【0024】図 6 は、本発明の第 2 実施例の駆動波形を示す図である。第 2 実施例も、本発明を従来型のプラズマディスプレイ装置に適用した例であり、第 1 実施例と異なるのは、リセット期間に特開 2000-75835 号公報に開示された鈍波パルスを印加する方式である点と、消去期間に X 電極をグランドにした状態で、Y 電極にグランドから電圧 V_s に緩やかに増加する鈍波パルスを印加する点である。

【0025】リセット期間に鈍波パルスを印加することにより、リセット期間後の壁電荷は、鈍波パルスの印加が終了する時の X 電極と Y 電極間の電圧により任意に設定することが可能である。また、消去期間には、第 1 実施例と逆に、Y 電極に緩やかに増加する鈍波パルスを印加しているが、得られる効果は同じであり、たとえ非点灯セルの X 電極と Y 電極に蓄積された壁電荷の量がばらついても、確実に放電を発生させることが可能であり、非点灯セルの壁電荷は確実に消去される。

【0026】図 7 は、本発明の第 3 実施例で使用する A L I S 方式のプラズマディスプレイ装置の構成を示す図である。A L I S 方式のプラズマディスプレイ装置については、特許第 2801893 号に詳しく開示されており、ここでは詳しい説明は省略し、発明の特徴に係る部分についてのみ説明する。図 7 に示すように、A L

IS方式のプラズマディスプレイパネル(PDP)20では、 n 本のY電極(第2の電極)と $n+1$ 本のX電極(第1の電極)を隣接して交互に配置して、すべての表示電極(Y電極とX電極)の間で表示発光を行う。従って、 $2n+1$ 本の表示電極で、 $2n$ 本の表示ラインが形成される。つまり、ALIS方式は、従来型のPD装置と同等の表示電極数で2倍の精細度が実現できる。また、放電空間を無駄なく使用でき、かつ電極などによる遮光が小さいため、高い開口率が得られるので高輝度が実現できるという特徴を有する。

【0027】奇数番目のX電極は奇数X駆動回路25により駆動され、偶数番目のX電極は偶数X駆動回路26により駆動される。Y電極は、Yスキンドライバ22により駆動される。Yスキンドライバ22はシフトレジスタと駆動回路で構成される。駆動回路は、アドレス動作時には、シフトレジスタの発生するスキャンパルスをY電極に順次印加し、それ以外の時には奇数Yサステイン回路23の発生する信号を奇数番目のY電極に、偶数Yサステイン回路24の発生する信号を偶数番目のY電極に印加する。アドレスドライバ21は、アドレス動作時にスキャンパルスに同期してアドレス電極にデータ信号を印加する。制御回路27は、以上の各回路を制御する制御信号を発生する。以上の構成は、従来のALIS方式のPD装置と同じである。

【0028】図8と図9は、第3実施例のプラズマディスプレイ装置の駆動波形を示す図であり、図8が奇数フィールドの駆動波形を、図9が偶数フィールドの駆動波形を示す。ALIS方式のPD装置では、すべての表示電極間を表示のための放電に利用するが、それらの放電を同時に発生することはできない。そこで、表示を奇数ラインと偶数ラインで時間的に分割して行う、いわゆるインターレース走査を行う。ALIS方式のPD装置では、 n 番目のX電極と n 番目の電極の間に形成される表示ライン、すなわち図7ではY電極とその上側のX電極との間に形成される表示ラインが奇数番目の表示ラインであり、 $n+1$ 番目のX電極と n 番目の電極の間に形成される表示ライン、すなわち図7ではY電極とその下側のX電極との間に形成される表示ラインが偶数番目の表示ラインである。奇数フィールドでは、奇数番目の表示ラインで表示を行い、偶数フィールドでは偶数番目の表示ラインで表示を行い、全体としては奇数フィールドと偶数フィールドの表示を合わせた表示が得られる。

【0029】図8及び図9に示すように、リセット期間における波形は奇数フィールドと偶数フィールドで同じであり、第2実施例と同様に、リセット期間には鈍波パルスを印加する。従って、リセット期間後の壁電荷は、鈍波パルスの印加が終了する時のX電極とY電極間の電圧により任意に設定することが可能である。更に、選択期間における波形も奇数フィールドと偶数フィールドの同じであり、X電極とY電極を所定の電圧にした上で、

Y電極の電位をグラウンドレベルにする負方向のスキャンパルスを順次印加し、それに同期してアドレス電極にアドレス信号を印加する。このアドレス信号は、非発光セルに対して正の電圧を印加するパルスであり、発光セルについてはパルスを発生しない。これにより、非発光セルのY電極とアドレス電極の間で放電が発生し、図5の(B)で説明したように、Y電極に正電荷が蓄積される。第3実施例の選択期間においても、面放電により壁電荷を形成する必要はないので、スキャンパルスとそれに対応するアドレス信号のパルスは短くてよく、選択期間に要する時間は短い。更に、放電後に非点灯セルに残留する壁電荷の量は、次の消去放電で完全に消去されるので、あまり正確である必要はない。なお、奇数フィールドと偶数フィールドのアドレス動作は同じであり、Y電極上とその両側のX電極上の壁電荷の分布は同じであり、奇数番目と偶数番目の表示ラインで差はない。奇数番目の表示ラインを選択するか、偶数番目の表示ラインを選択するかは、後の書込み期間で選択される。

【0030】消去期間では、第2実施例と同じように、X電極をグラウンドにした状態で、Y電極にグラウンドから電圧 V_s に緩やかに増加する鈍波パルスを印加する。これにより、たとえ非点灯セルのX電極とY電極に蓄積された壁電荷の量がばらついても、確実に放電を発生させることが可能であり、非点灯セルの壁電荷は確実に消去される。

【0031】図8に示すように、奇数フィールドの書込み期間では、アドレス電極に電圧 V_a を印加し、前半部で奇数番目のX電極と偶数番目のY電極に電圧 V_s を印加し、偶数番目のX電極と奇数番目のY電極に0Vを印加して奇数番目のX電極と奇数番目のY電極間で書込み放電Aを発生させる。これにより、奇数番目のX電極と奇数番目のY電極間の点灯セルでは残留しているリセット動作終了時と同じ壁電荷による電圧が重畳されて放電し、奇数番目のX電極と奇数番目のY電極にサステイン動作に必要な壁電荷が形成される。一方、非点灯セルでは壁電荷がないので放電しない。この時、偶数番目のX電極と偶数番目のY電極間では、壁電荷による電圧と印加される電圧が逆極性であるので放電しない。また、偶数番目のX電極と奇数番目のY電極間及び奇数番目のX電極と偶数番目のY電極間には電圧が印加されないの

で、放電は発生しない。すなわち、奇数フィールドの書込み期間の前半部では、奇数表示ラインのうちの奇数番目の表示ラインで、次のサステイン放電に必要な壁電荷が形成され、奇数表示ラインのうちの偶数番目の表示ラインと偶数表示ラインでは放電が発生しない。

【0032】奇数フィールドの書込み期間の後半部では、偶数番目のX電極と奇数番目のY電極に電圧 V_s を印加し、奇数番目のX電極と偶数番目のY電極に0Vを印加して偶数番目のX電極と奇数番目のY電極間で書込み放電Bを発生させる。これにより、偶数番目のX電極

と奇数番目のY電極間の点灯セルでは残留しているリセット動作終了時と同じ壁電荷による電圧が重畳されて放電し、サステイン動作に必要な壁電荷が形成されるは、非点灯セルでは壁電荷がないので放電しない。同様に、偶数表示ラインでは放電が発生しない。

【0033】以上の書込み期間が終了することにより、奇数表示ラインを構成する奇数番目のX電極と奇数番目のY電極及び偶数番目のX電極と偶数番目のY電極に次のサステイン放電に必要な壁電荷が形成される。書込み期間に各電極に印加するパルスは、全面に同時に印加するので、書込み期間は、選択期間に比べて非常に短い。このように、奇数表示ラインと偶数表示ラインのいずれかを選択するかは、書込み期間で選択される。

【0034】次に、サステイン期間に、奇数番目のX電極と偶数番目のY電極の組と、偶数番目のX電極と奇数番目のY電極の組に、それぞれ逆極性のサステインパルスを印加すると、奇数表示ラインでサステイン放電が行われる。図9に示すように、偶数フィールドのリセット期間、選択期間、及び消去期間の波形は、奇数フィールドと同じである。偶数フィールドの書込み期間においては、前半部で偶数番目のX電極と偶数番目のY電極に電圧 V_s を印加し、奇数番目のX電極と奇数番目のY電極に0Vを印加して偶数番目のX電極と奇数番目のY電極間で書込み放電Aを発生させる。これにより、偶数表示ラインのうちの奇数番目の表示ラインで、次のサステイン放電に必要な壁電荷が形成され、偶数表示ラインのうちの偶数番目の表示ラインと奇数表示ラインでは放電が発生しない。偶数フィールドの書込み期間の後半部では、奇数番目のX電極と奇数番目のY電極に電圧 V_s を印加し、偶数番目のX電極と偶数番目のY電極間に書込み放電Bを発生させる。これにより、偶数表示ラインのうちの偶数番目の表示ラインで、次のサステイン放電に必要な壁電荷が形成され、偶奇数表示ラインでは放電が発生しない。

【0035】以上の書込み期間が終了することにより、偶数表示ラインを構成する偶数番目のX電極と奇数番目のY電極及び偶数番目のX電極と奇数番目のY電極に次のサステイン放電に必要な壁電荷が形成される。同様に、書込み期間に各電極に印加するパルスは、全面に同時に印加するので、書込み期間は、選択期間に比べて非常に短い。以下、サステイン期間は、奇数フィールドと同様に行われる。

【0036】第3実施例では、ALIS方式にかかわらず、リセット期間、選択期間及び消去期間は、奇数フィールドも偶数フィールドも同じで、書込み期間で奇数表示ラインと偶数表示ラインの選択を行ったが、奇数表示ラインと偶数表示ラインの選択を選択期間でも行うようにしてもよい。本発明の第4実施例は、ALIS方式のプラズマディスプレイ装置で、奇数表示ラインと偶数表

示ラインの選択を選択期間でも行う実施例である。

【0037】本発明の第4実施例のプラズマディスプレイ装置は、図7と同様の構成を有し、図10と図11に示すような駆動波形で駆動される。図10は奇数フィールドの駆動波形を、図11は偶数フィールドの駆動波形を示す。第4実施例のプラズマディスプレイ装置においては、選択期間を前半部と後半部に分け、選択が行われる。図10に示すように、奇数フィールドの選択期間においては、前半部では奇数番目のX電極に正の電圧を印加し、偶数番目のX電極に0Vを印加し、奇数番目のY電極に順次スキャンパルスを印加し、それに同期してアドレス電極にアドレス信号を印加する。この間、偶数番目のY電極は正の電圧が印加される。次に、後半部では奇数番目のX電極に0Vを印加し、偶数番目のX電極に正の電圧を印加し、偶数番目のY電極に順次スキャンパルスを印加し、それに同期してアドレス電極にアドレス信号を印加する。この間、奇数番目のY電極は正の電圧が印加される。これにより、非点灯セルのY電極で放電が行われ正の電荷が蓄積されるが、放電によるX電極側への負の電荷の蓄積は、奇数表示ラインを形成するX電極側に蓄積されやすくなり、偶数表示ラインを形成するX電極側には蓄積されにくくなる。従って、消去期間において非点灯セルの電荷を消去する場合の放電は、奇数表示ラインを形成するX電極側との間で発生し易くなり、第3実施例に比べて偶数表示ラインを形成するX電極側の壁電荷への影響が低減される。この偶数表示ラインを形成するX電極は、次の奇数表示ラインを形成するX電極であり、選択期間における隣接する表示ラインの選択動作による影響が低減されるので、書込み期間における動作がより確実に行われるようになる。

【0038】図11に示すように、第4実施例における偶数フィールドの選択期間においては、前半部では偶数番目のX電極に正の電圧を印加し、奇数番目のX電極に0Vを印加し、奇数番目のY電極に順次スキャンパルスを印加し、それに同期してアドレス電極にアドレス信号を印加する。後半部では偶数番目のX電極に0Vを印加し、奇数番目のX電極に正の電圧を印加し、偶数番目のY電極に順次スキャンパルスを印加し、それに同期してアドレス電極にアドレス信号を印加する。

【0039】図12は、本発明の第5実施例のプラズマディスプレイ装置の駆動シーケンスにおけるフレーム構成を示す図である。第1から第4実施例では、図2に示すように、1フレームを構成するサブフィールドは、それぞれリセット期間、アドレス期間及びサステイン期間を有した。しかし、各フレームの最初のサブフィールドにのみリセット期間を設け、他のサブフィールドのリセット期間をなくすることが可能である。本発明のプラズマディスプレイ装置では、アドレス期間が、選択期間、消去期間及び書込み期間で構成されるので、図12に示すようなフレーム構成になる。第5実施例の駆動シーケン

スであれば、表示に関係しない発光を伴いリセット期間の回数が減少するので、表示コントラストが向上する。

【0040】

【発明の効果】以上説明したように、本発明によれば、短時間で確実にアドレス動作が行えるようになるので、サステイン期間の時間を長くして表示輝度を向上させたり、1フレームを構成するサブフィールドの個数を増加させて高階調表示を行うことが可能になる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の基本構成を示すブロック図である。

【図2】プラズマディスプレイ装置で階調表示を行うためのフレーム構成を示す図である。

【図3】プラズマディスプレイ装置の従来の駆動方法を示す波形図である。

【図4】本発明の第1実施例の駆動波形を示す図である。

【図5】第1実施例における各電極の壁電荷の変化を示す図である。

【図6】本発明の第2実施例の駆動波形を示す図であ

る。

【図7】本発明の第3実施例で使用するプラズマディスプレイ装置の構成を示すブロック図である。

【図8】本発明の第3実施例の奇数フィールドの駆動波形を示す図である。

【図9】本発明の第3実施例の偶数フィールドの駆動波形を示す図である。

【図10】本発明の第4実施例の奇数フィールドの駆動波形を示す図である。

【図11】本発明の第4実施例の偶数フィールドの駆動波形を示す図である。

【図12】本発明の第5実施例の駆動シーケンスのフレーム構成を示す図である。

【符号の説明】

10…プラズマディスプレイパネル

11…アドレスドライバ

12…Yスキャンドライバ

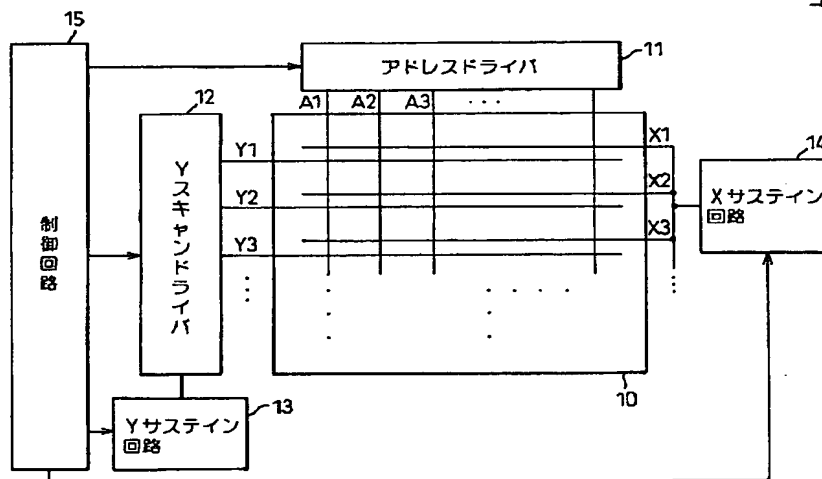
13…Yサステイン回路

14…Xサステイン回路

15…制御回路

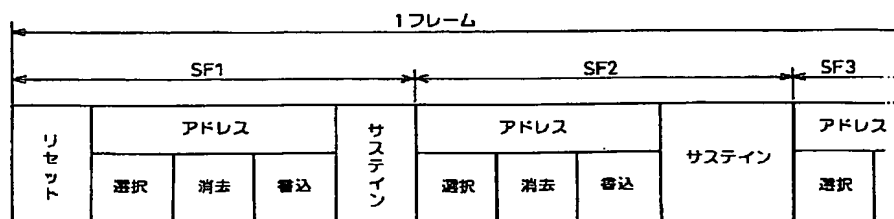
【図1】

プラズマディスプレイ装置の基本構成



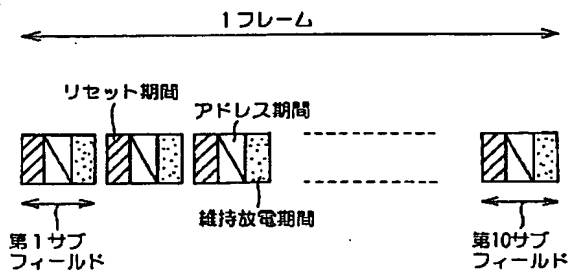
【図12】

第5実施例の駆動シーケンス



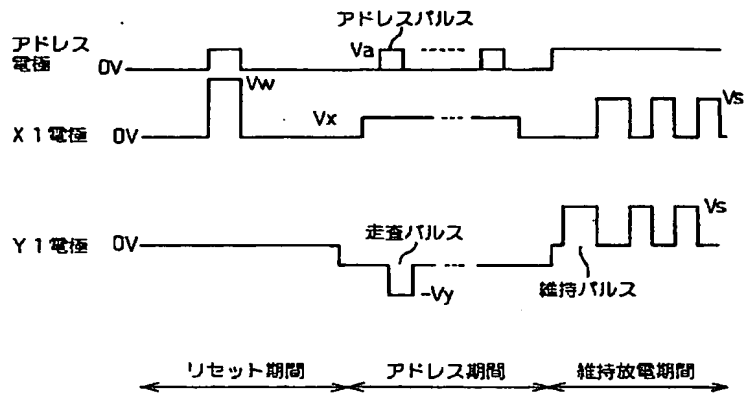
【図 2】

図 2 フレームの構成を示す図



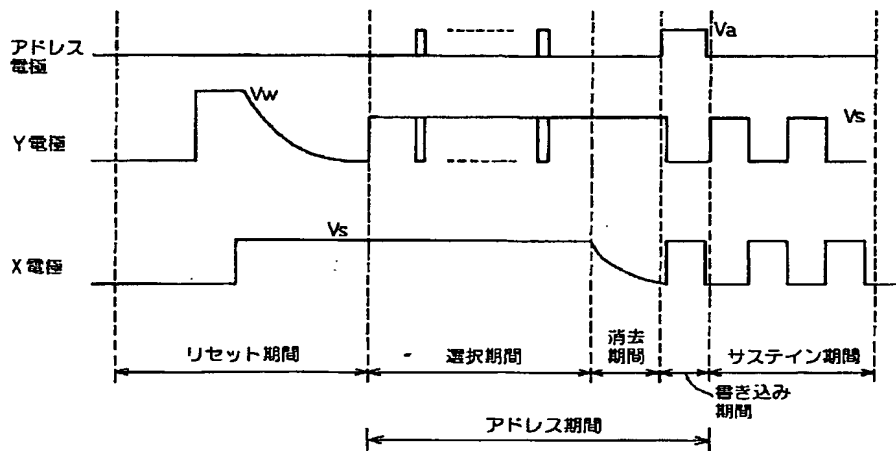
【図 3】

従来の駆動方法を示す波形図



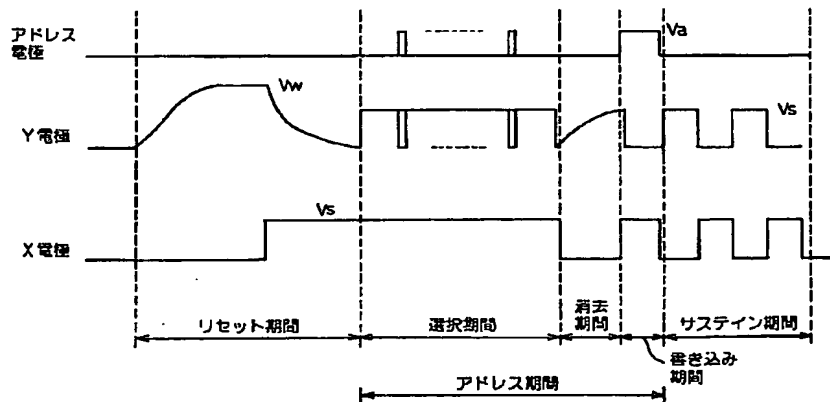
【図 4】

本発明第1実施例の駆動波形



【図 6】

第2実施例の駆動波形

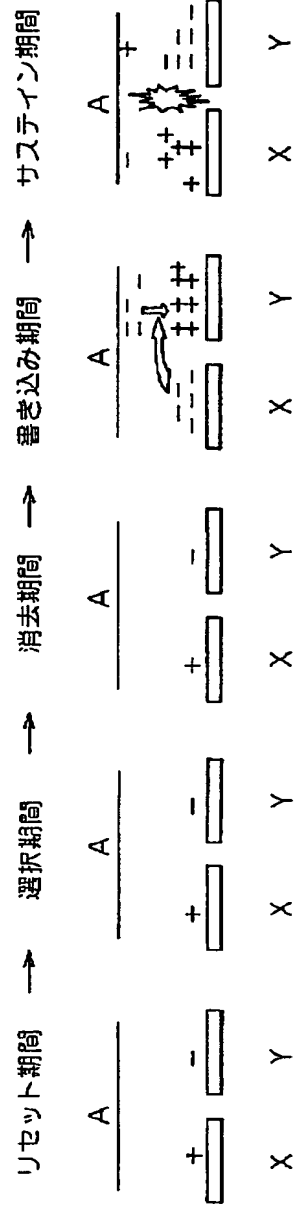


【図 5】

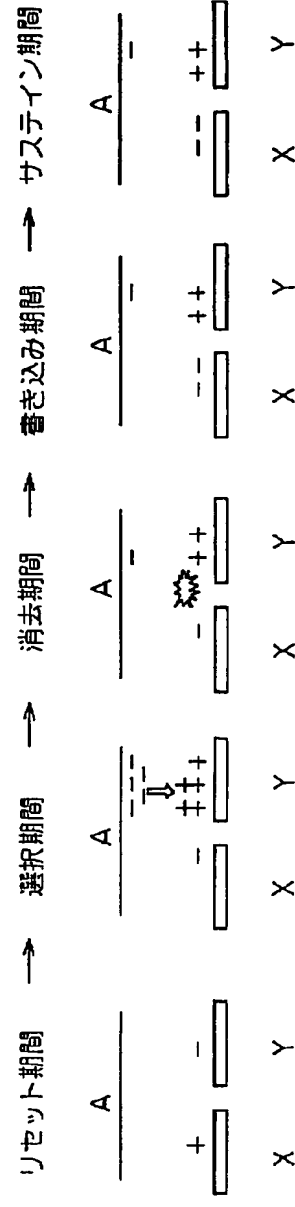
図 5

第 1 実施例における各電極の壁電荷の変化

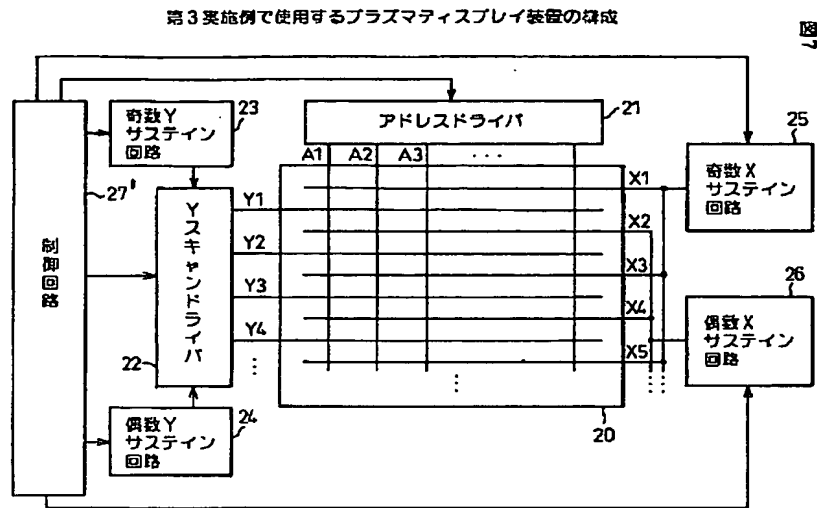
(A) 点灯セル



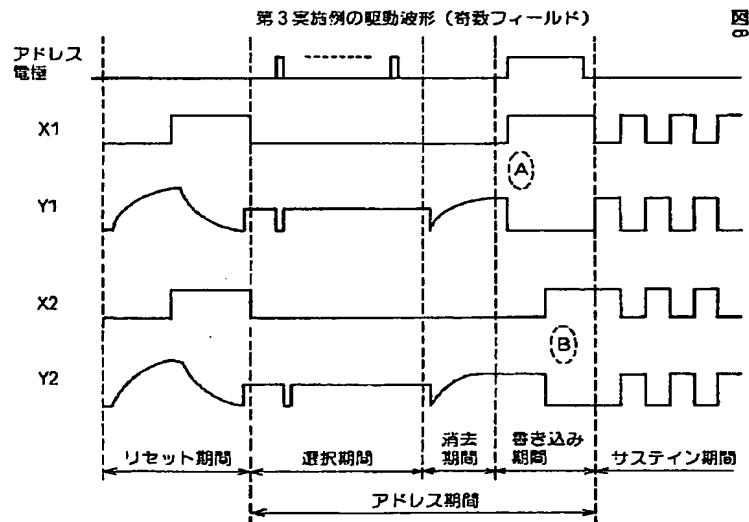
(B) 非点灯セル



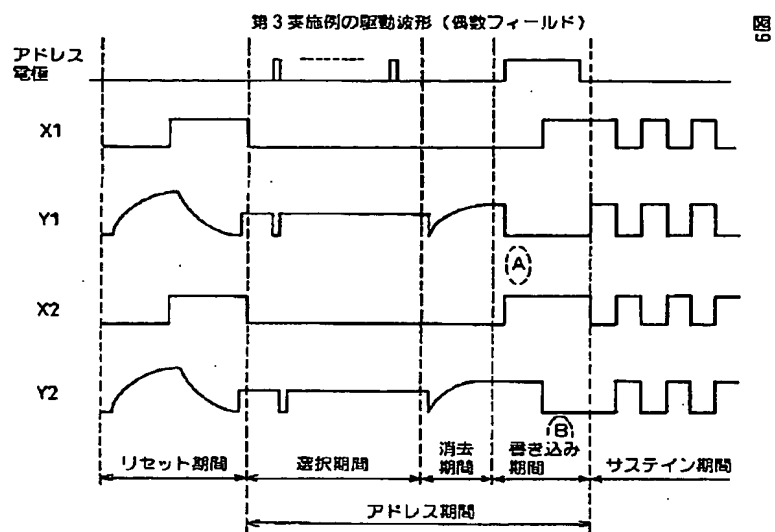
【図 7】



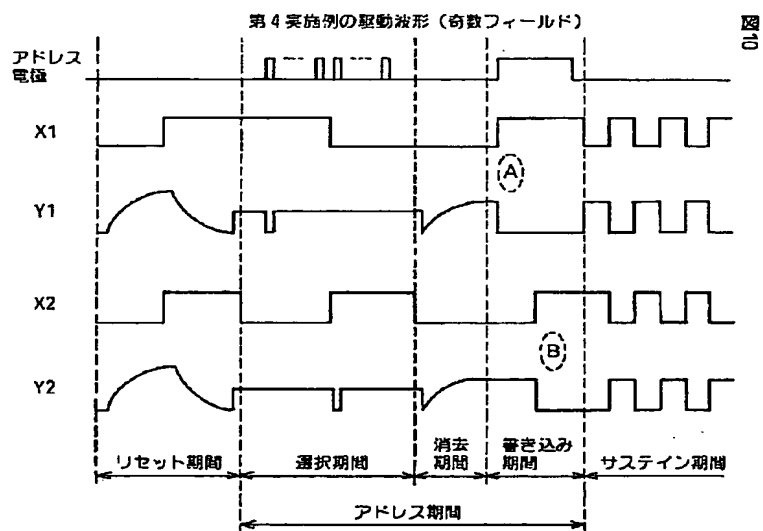
【図 8】



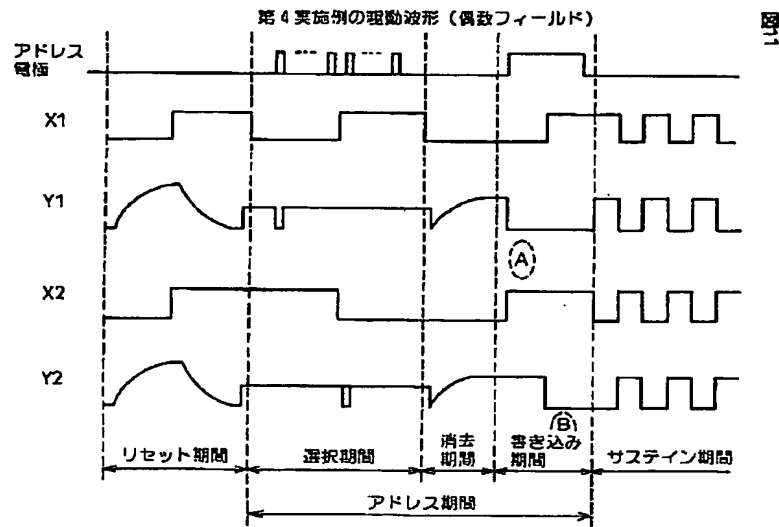
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int. Cl.⁷
H04N 5/66

識別記号
101

F I
G09G 3/28

テーマコード (参考)

H

Fターム (参考) 5C058 AA11 BA01 BA05 BA08
5C080 AA05 BB05 DD03 EE29 FF12
GG12 HH02 HH04 HH05 HH07
JJ02 JJ04 JJ06

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-129139

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

H01J 11/02

G09G 3/28

H01J 11/00

H04N 5/66

(21)Application number : 07-285310

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 01.11.1995

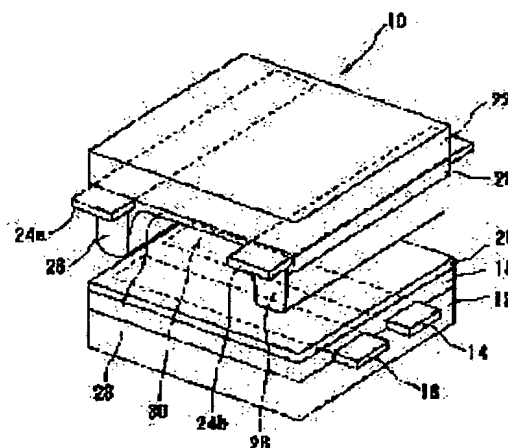
(72)Inventor : TAKASAKI SHIGERU

(54) AC TYPE PLASMA DISPLAY PANEL AND DRIVING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-brightness plasma display panel at a low cost.

SOLUTION: An X-electrode 14, a Y-electrode 16, a dielectric layer 18, and a protective film 20 are provided on the inner face of a back substrate 12 within two opposite substrates, i.e., the back substrate 12 and a front substrate 22. Address electrodes 24a, 24b are arranged to face the X-electrode 14 and the Y-electrode 16 perpendicularly to them and overlapped on bulkheads 26 in the same direction on the inner face of the front substrate 22. A phosphor layer 28 is provided on the inner face of the front substrate 22 pinched by the bulkheads 26.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]